

# Corrección de Factor de Potencia, sin medida de corriente, mediante implementación en FPGA de *One-Cycle Control*

2012

Víctor M. López<sup>(1)</sup>, Francisco J. Azcondo<sup>(1)</sup>, Ángel de Castro<sup>(2)</sup>, Oscar García<sup>(3)</sup>

(1) Departamento TEISA de la Universidad de Cantabria, ETSIIT. Av de los Castros s/n 39005 Santander (Cantabria). España. [vmlopez@teisa.unican.es](mailto:vmlopez@teisa.unican.es); [azcondof@unican.es](mailto:azcondof@unican.es) (2) Universidad Autónoma de Madrid. EPS, C/ Francisco Tomás y Valiente, 11. 28049 Madrid. España. [angel.decastro@uam.es](mailto:angel.decastro@uam.es) (3) Universidad Politécnica de Madrid, ETSII, C/ José Gutiérrez Abascal 2, [o.garcia@upm.es](mailto:o.garcia@upm.es)

**Abstract-** En este artículo se presenta una técnica de control digital de correctores de factor de potencia (CFP) trabajando en modo de conducción continua en la que no es necesario el uso de sensor de corriente ni de convertidor analógico-digital de alta velocidad. La corriente de entrada al CFP se estima a partir de la descripción del modelo en VHDL de un convertidor elevador y de las muestras digitales de las tensiones de entrada y salida del convertidor. El objetivo final es desarrollar un controlador universal para CFP, con posibilidad de trabajar varios convertidores idénticos en paralelo y así aumentar la potencia. En este trabajo se abordan las diferentes soluciones ante los problemas que aparecen en el desarrollo del prototipo de laboratorio y se presentan resultados en diferentes condiciones, comparando el contenido armónico de la corriente con los límites establecidos por la normativa vigente más restrictiva.

## I. INTRODUCCIÓN

Los Correctores de Factor de Potencia (CFP) de alta potencia trabajan en modo de conducción continua (MCC), con dos lazos de control. Un lazo de corriente de alta velocidad con el cual se consigue una corriente de entrada proporcional a la tensión de entrada, obteniendo así un Factor de Potencia (FP) cercano a la unidad. El segundo lazo es un lazo de tensión lento en el que se determina la amplitud de la corriente, y por tanto la potencia demanda de la red.

A pesar de que para aplicaciones estándar, el uso de controladores analógicos permite una implementación rápida y barata, en la literatura, se pueden encontrar diferentes desarrollos con controladores digitales [1]-[7]. El uso tradicional de sensor de corriente se sustituye aquí por una estimación de la corriente en un modelo de convertidor elevador descrito en VHDL. Así, se está sustituyendo el sensor de corriente y el convertidor analógico digital de alta velocidad del lazo de corriente, por un circuito digital.

De esta manera, se tiene un control del CFP donde únicamente con las muestras de la tensión de entrada y salida se puede estimar la corriente de entrada. Estas muestras, obtenidas mediante un convertidor analógico-digital (CAD) de bajos recursos, desarrollado específicamente para esta aplicación, son con las que se realiza el control de la corriente de entrada.

Se diferencia en el control una parte digital y una parte analógica. La parte digital engloba los CAD, el regulador del tipo "*one-cycle*" (OCC) [8] y el lazo de tensión. Mientras que la parte analógica corresponde con los divisores de tensión para las muestras de tensión, y la parte analógica de cada uno de los CAD, que es mínima.

La parte digital del control se implementa en una FPGA. La frecuencia de reloj de trabajo es muy elevada, por lo que un aspecto a tener en cuenta es la existencia de frecuencias tan elevadas en los cables de conexión entre la FPGA y la parte analógica, que provocarían un ruido importante. También se tienen en cuenta los retrasos en la conmutación. Ambos factores influyen en el valor de voltio-segundos aplicado en la inductancia, y por tanto provocan un funcionamiento no deseado del CFP.

Este artículo comienza con una visión general del proyecto, indicando los diferentes componentes del sistema. En la sección IV se exponen las principales causas que provocan un comportamiento no deseado del CFP, debido a diferencias entre la corriente estimada y la real. En la sección V se presentan unos resultados experimentales del CFP, donde se compararán los límites en los armónicos de corriente que se inyectan a la red que establece la normativa vigente con el contenido armónico de la corriente de entrada al CFP. Finalmente, se incluyen las conclusiones del trabajo.

## II. ESQUEMA GENERAL DEL PROYECTO

La descripción en VHDL que se implementa en la FPGA es el modelo del convertidor, los estímulos y el control digital. Con esto, la herramienta de desarrollo permite tanto la simulación como la síntesis del proyecto. Los diferentes componentes descritos en VHDL son:

1. Banco de pruebas
  - 1.1. Modelo de comportamiento del convertidor
  - 1.2. Control del CFP y CADs (parte sintetizable)
    - 1.2.1. CAD de tensión de entrada.
    - 1.2.2. CAD de tensión de salida.
    - 1.2.3. *One-Cycle Control*

### 1.3. Parte analógica de los CADs.

En la Fig. 1 se representa un diagrama de bloques del proyecto con los diferentes elementos:

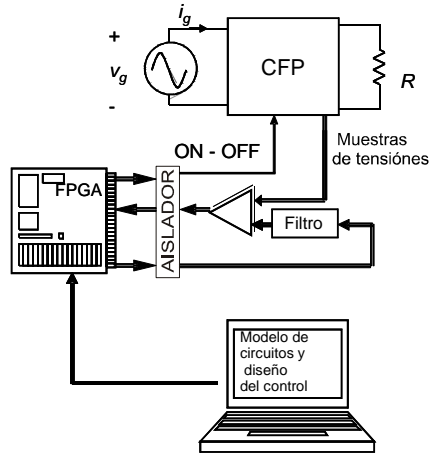


Fig.1. Diagrama de bloques del circuito utilizado

### III. MODELO DEL CONVERTIDOR DE POTENCIA

El modelo de convertidor de potencia elegido es un convertidor elevador (Boost). Considerando los modos de conducción continua y discontinua, las ecuaciones diferenciales que definen las variables del circuito en los estados de ON y OFF; se expresan como ecuaciones en diferencias. El paso de un estado a otro y el modo de conducción se realiza a partir de sentencias condicionales. La descripción en VHDL del modelo, que permite la simulación de la corriente de entrada y la tensión de salida es:

```

Iin <= I1;
Vo <= VoAux;
  CALC: process
    -- Cada periodo de integración se actualizan las
    -- variables de estado
  begin
    if OnOff = '1' then -- interruptor cerrado
      I1 <= I1 + ( (Vg*dt2) / L );
      if Resist then -- Carga resistiva
        VoAux <= VoAux - ( (VoAux/R)*dt2 / C );
      else
        VoAux <= VoAux - ( (Ir*dt2) / C );
      end if;
    else -- interruptor abierto
      if I1 > 0.0 then -- diodo conduce, CCM
        I1 <= I1 + ( (Vg - VoAux)*dt2 / L );
        if Resist then -- Carga resistiva
          VoAux <= VoAux + ( (I1-(VoAux/R))*dt2 / C );
        else
          VoAux <= VoAux + ( (I1-Ir)*dt2 / C );
        end if;
      else -- diodo no conduce, DCM
        I1 <= 0.0;
        if Resist then -- Carga resistiva
          VoAux <= VoAux - ( (VoAux/R)*dt2 / C );
        else
          VoAux <= VoAux - ( (Ir*dt2) / C );
        end if;
      end if;
    end if;
  end process;

```

### IV. DIFERENCIAS ENTRE LA CORRIENTE ESTIMADA Y LA CORRIENTE REAL.

Con las muestras de tensión y las ecuaciones en diferencias que definen el comportamiento del modelo de convertidor de potencia (en este caso un convertidor elevador), se estima la corriente de entrada al CFP y se elimina el sensor de corriente.

Las diferencias entre la corriente estimada y la corriente real que circula de la bobina se producen principalmente por:

- Errores en las muestras de tensión de entrada y salida del convertidor.
- Errores de cuantización.
- Retrasos en la conversión CAD.
- Retrasos en las conmutaciones.

Todos ellos influyen en el resultado de la integral tensión-tiempo aplicado en la inductancia en cada periodo de conmutación. Los tres primeros en la tensión, y el cuarto en el tiempo.

El algoritmo de control utilizado es el *One-cycle Control* [8]-[9]. El control se realiza en cada ciclo, y la función de CFP se realiza a frecuencia constante, permitiendo la sincronización entre diferentes etapas CFP.

- Errores en las muestras de tensión de entrada y salida del convertidor.*

Los convertidores analógico-digitales que se implementan son convertidores del tipo  $\Sigma-\Delta$ . La idea inicial se representa en la Fig.2:

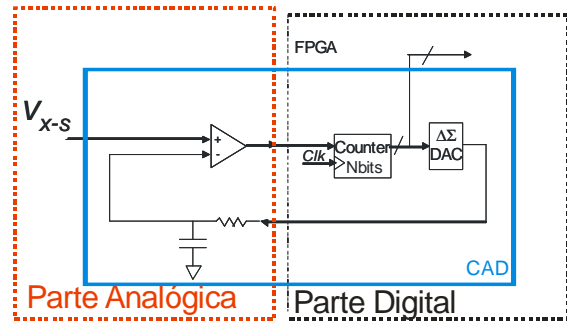


Fig.2. Representación de las partes del CAD.

La salida del comparador, y la entrada al filtro RC son las conexiones entre la parte digital y la parte analógica del CAD. La entrada al filtro RC es el *bitstream* (flujo de bits), cuyo valor medio corresponde con el valor de la señal analógica.

La frecuencia de reloj de la FPGA es 50 MHz, que se multiplica internamente por dos, llegando a 100 MHz. Y esa frecuencia es la usada en el *One-Cycle Control* para determinar las señales de control del driver. El uso de esa frecuencia tan elevada hace que la reconstrucción de la

corriente se realiza con un gran número de datos en cada ciclo de conmutación, pero no es una frecuencia adecuada para el traspaso de información por los cables de conexión entre la FPGA y la parte analógica de CAD. Según [10], se puede conseguir una correlación entre el nº de bits de resolución y la frecuencia en el reloj del CAD.

$$f_s \geq 2^{N_{bits}-1} \cdot \pi \cdot f_i \quad (1)$$

Donde  $f_i$  es la frecuencia de la señal a convertir. Para el nº de bits que se mencionan anteriormente, las frecuencias de muestreo mínimas serían (Tabla 1):

Nbits	$f_s$ (kHz)
8	40,21
9	80,42
10	160,85

Tabla 1: Frecuencias de muestreo mínimas para Nbits

Como señal de sincronismo del CAD, por tanto, se puede elegir una frecuencia comprendida entre 100 MHz y las frecuencias mínimas de la Tabla 1. Por tanto, se necesita una frecuencia lo suficientemente alta como para conseguir una buena extrapolación que corrija los retrasos en la conversión analógico-digital, y lo suficientemente baja para un traspaso adecuado de la información sin generar excesivo ruido. Se han elegido 3,125 MHz, (32 veces menor a la de 100 MHz).

Además, se ha añadido en cada CAD un aislador. Así, la FPGA y el circuito de control del CFP están aislados entre sí, y la FPGA está más protegida.

Las capturas obtenidas para 3,125 MHz son (Fig.3-4):

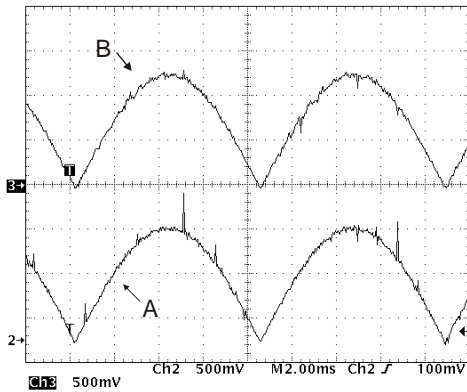


Fig.3. Señal analógica (a) y bitstream filtrado (b) a 3,125 MHz.

La señal analógica en el CAD (tras el divisor) era de 1,25  $V_{pico}$ . En este caso, en el divisor de tensión utilizado, 1,25  $V_{pico}$  corresponde a una tensión de 162,5  $V_{pico}$  a la entrada del divisor.

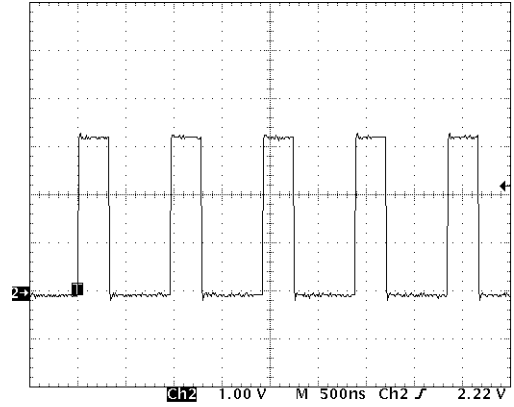


Fig.4. Bitstream a 3,125 MHz.

#### b. Errores de cuantización:

En lo que se refiere a errores de cuantización, influye el número de bits que se utiliza en el CAD. Según [10], el número de bits en un convertidor  $\Sigma-\Delta$  tiene muy poca influencia cuando es mayor de 10 bits. A partir de 11 bits, se estaría aumentando el gasto computacional en la FPGA sin ninguna mejora significativa en la relación señal-ruido total. La relación señal-ruido de la señal ( $SNR_s$ ) es independiente del nº de bits, mientras que el nº de bits si influye en la SNR del ADC. Se llega a la conclusión de que a partir de 10 bits los resultados no mejoran.

#### c. Errores introducidos por los retrasos en la conversión CAD.

Para compensar los retrasos en la conversión CAD, se realiza una extrapolación lineal del resultado de la conversión CAD, aplicándolo al siguiente ciclo de reloj del algoritmo *One-Cycle Control*.

Para esta extrapolación se ha de tener en cuenta que el reloj del CAD es de 3,125 MHz, y el reloj del algoritmo *One-Cycle Control* es de 100 MHz. Por tanto, se deben dar datos digitales de tensión a 100 MHz, cuando se reciben a 3,125 MHz.

La frecuencia del *One-Cycle Control* ( $f_{occ}$ ) es, por tanto, 32 veces superior a la frecuencia del CAD ( $f_{CAD}$ ). Y según la Fig.5, se representa gráficamente la extrapolación lineal, que tiene la siguiente expresión:

$$v[k] = v[n] + \frac{v[n] - v[n-1]}{f_{occ}} \cdot k \cdot f_{CAD} \quad (2)$$

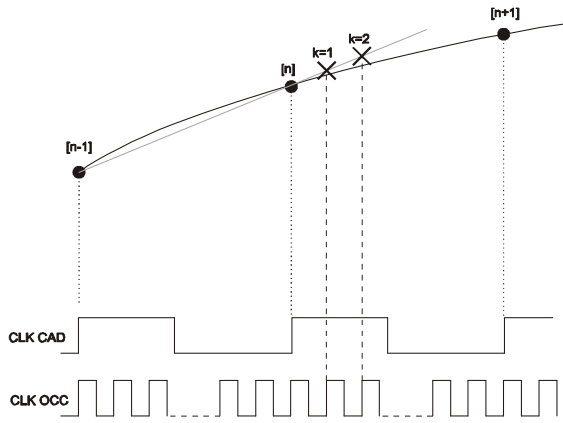


Fig. 5. Representación gráfica de la extrapolación

d. Errores introducidos por los retrasos en la conmutación.

Los errores producidos por los retrasos en la conmutación se van acumulando en todo el semiperiodo, hasta que la tensión vuelve a ser nula. Por tanto esos errores harán que el valor de voltio-segundos aplicado a la inductancia sea diferente al que inicialmente se estimó. En la fig 6 se muestran esos errores en el sistema real, junto con las simulaciones del caso.

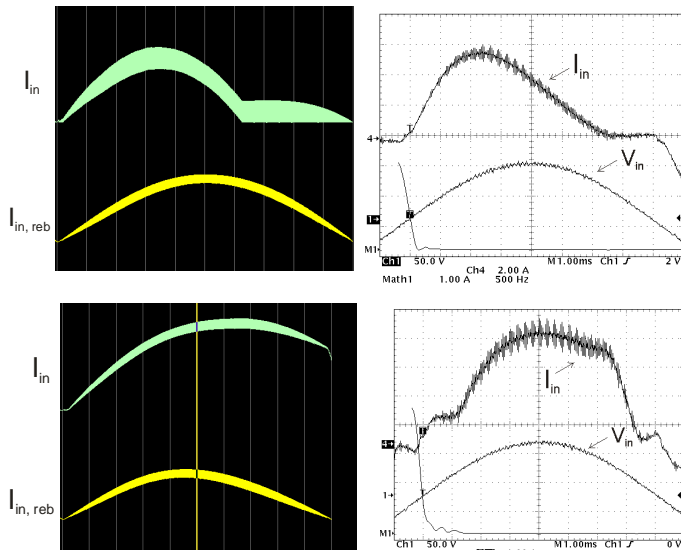


Fig. 6. Influencia de los retrasos. Parte superior: el valor de los voltio-segundos reales en la inductancia es menor a los estimados. Mientras que en la parte inferior es mayor a los estimados. Izq: Simulaciones de  $I_{in}$  e  $I_{in,reb}$ . Der: Corriente real y tensión de entrada

Para eliminar este error, en la descripción VHDL del *One-Cycle Control*, se extrapolan los datos de la corriente estimada y la función diente de sierra con la que se compara, sin

introducir retrasos de computación. Se manda la señal que dirige el driver antes de que se cumpla la condición en el *One-cycle Control*.

Para evaluar los retrasos, se mide la señal de mando de la FPGA y la tensión que tiene la bobina. En la Fig.7 se ven estos retrasos:

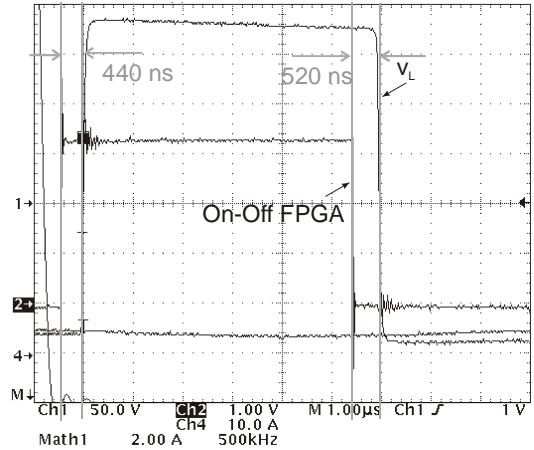


Fig. 7. Retrasos en la conmutación

Así, según la figura, el cambio on-off de la FPGA debe realizarse 520 ns y el off-on 440 ns antes a cuando matemáticamente se produce en el *One-Cycle Control*; y la tensión en la bobina cambiará cuando se produce esa condición matemática.

V. RESULTADOS EXPERIMENTALES

Los resultados experimentales se han realizado en un prototipo de laboratorio. Es un convertidor elevador con una inductancia de 1,18 mH de núcleo de material de saturación suave Kool Mu con 115 vueltas. El diodo es un RHRP860, el MOSFET es un IRFP27N60K, utilizando un driver optoacoplado HCPL-3120. Los aisladores situados entre la parte analógica y la parte digital son IL712. Y el comparador es el LM393N. La FPGA utilizada es la XC3S500E de la familia Spartan 3E de Xilinx.

La extrapolación, teniendo en cuenta la relación entre las frecuencias en el CAD y en el algoritmo del lazo de corriente, tiene la siguiente expresión:

$$v[k] = v[n] + \frac{v[n] - v[n-1]}{32} \cdot k \quad (3)$$

Se realiza un control *“one-cycle”* con regulación sobre la tensión de salida. Los retrasos en la conmutación han sido medidos, y se han introducido en el algoritmo. La frecuencia de conmutación fijada en el *One-Cycle Control* es de 73 kHz:

- $V_g=70V_{rms}$  (50 Hz),  $R_{out}=250\Omega$ ,  $P_{in}=235,7$  W,  $V_{out}=237$  V (Fig. 8)

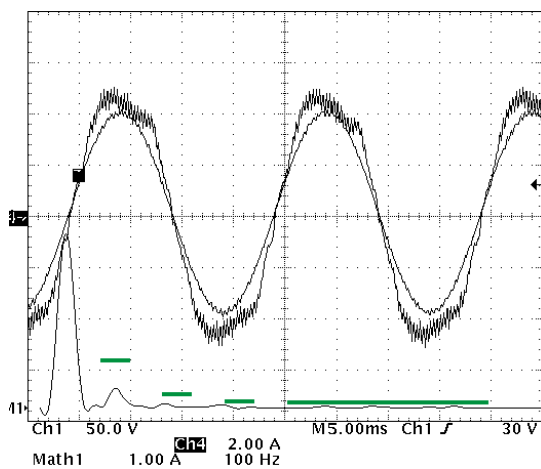


Fig.8, Medidas experimentales en un convertidor elevador. Ch3: Tensión de entrada 50V/div, 5 ms/div. Ch4: Corriente de entrada 1 A/div, 5 ms/div. Math1: FFT de la corriente de entrada 1 A/div, 100 Hz/div.

Se obtiene un Factor de Potencia (FP) = 0,994 y un rendimiento del 94%.

- $V_g=120V_{rms}$  (60Hz),  $R_{out}=250\Omega$ ,  $P_{in}=405W$ ,  $V_{out}=316V$  (Fig.9)

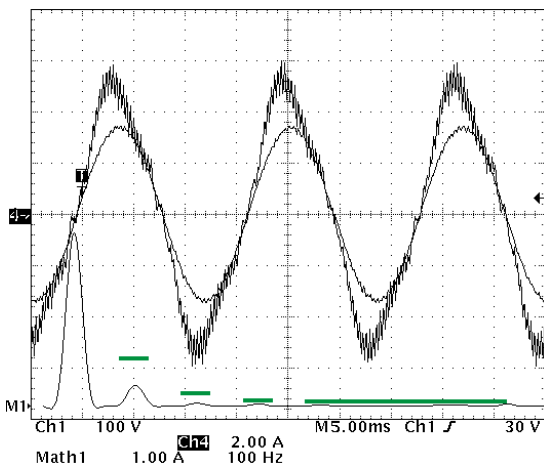


Fig.9, Medidas experimentales en un convertidor elevador. Ch3: Tensión de entrada 100V/div, 5 ms/div. Ch4: Corriente de entrada 1 A/div, 5 ms/div. Math1: FFT de la corriente de entrada 1 A/div, 100 Hz/div.

Se obtiene un FP= 0,982 y un rendimiento del 96 %.

La normativa con la aquí se compara (líneas verdes de la Fig.9) es la IEC-61000-3-2 [11], que es la normativa más restrictiva e impone los límites relativos de las corrientes

armónicas para equipos de iluminación de potencia mayor a 25 W.

Se ha realizado un lazo de control de tensión básico con acción integral simple. En las figura 10 y 11, se muestra la respuesta transitoria ante un escalón de la tensión de entrada de 70  $V_{rms}$  a 110  $V_{rms}$  y viceversa. La estabilización de la tensión de salida hace que la técnica de control digital realice una corrección de factor de potencia completa.

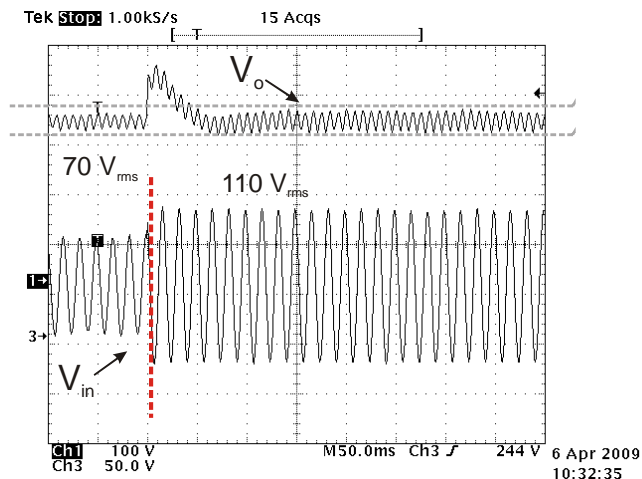


Fig.10, Respuesta transitoria antes una variación escalón en la tensión de entrada de 70 a 110 V.

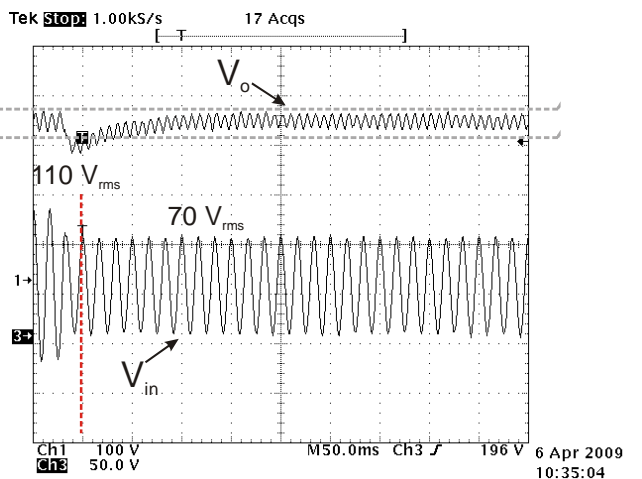


Fig.11, Respuesta transitoria antes una variación escalón en la tensión de entrada de 110 a 70 V.

## VI. CONCLUSIONES

Se ha presentado un control digital implementado en FPGA para CFP que permite eliminar el sensor de corriente. La corriente, en lugar de medida es calculada a partir de las muestras de tensión de entrada y salida. Las diferencias entre la corriente estimada y la real deben corregirse. Para ello se

disminuye la frecuencia del CAD, se utiliza un algoritmo de extrapolación adecuado y se miden los retrasos en las conmutaciones on-off y off-on para realizar una extrapolación en el algoritmo *One-Cycle Control*.

El sistema digital incluye también la parte digital de los CAD, desarrollados específicamente para esta aplicación. En los mismos, y con el fin de disminuir su precio lo más posible y facilitar su integración en Silicio, la parte analógica se ha reducido a un comparador y un filtro RC. Además, y con el fin de simular el sistema completo, se han incluido modelos del convertidor de potencia y la parte analógica de los CAD.

Los resultados experimentales obtenidos muestran un factor de potencia elevado y un contenido en armónicos de la corriente que cumple los límites de los armónicos que indica la IEC-61000-3-2. Además de una regulación simple de la tensión de salida.

Se consigue un diseño con mejoras en el rendimiento, inmunidad ante ruidos y módulos que fácilmente se pueden conectar en paralelo con otros módulos CFP. Además, los controladores de las demás etapas pueden integrarse en el mismo dispositivo.

#### AGRADECIMIENTOS

Este proyecto está financiado por el gobierno español a través del proyecto TEC 2008-01753/TEC.

#### REFERENCIAS

[1] W. Zhang, Y. F. Liu, B. Wu, "A New Duty Cycle Control Strategy for Power Factor Correction and FPGA Implementation," IEEE Trans. Power Electron. Vol. 21, No. 6, pp. 1745-1753, Nov. 2006.

[2] W. Stefanutti, P. Mattavelli, G. Spiazzi, P. Tenti, "Digital Control of Single-Phase Power Factor Preregulators Based on Current and Voltage Sensing at Switch Terminals", IEEE Trans. on Power Electron., Vol. 21, No. 5, pp. 1356-1363, Sep. 2006.

[3] A. Prodic, D. Maksimovic, R. W. Erickson, "Dead-zone digital controllers for improved dynamic response of low harmonic rectifiers", IEEE Trans. on Power Electron., Vol. 21, No. 1, pp. 173-181, Jan. 2006.

[4] A. Prodic, D. Maksimovic, "Digital PWM controller and current estimator for a low power switching converter", Proc. of the 7th work-shop on Computers in Power Electronics, pp.123-128, 2000.

[5] P. Mattavelli, G. Spiazzi, P. Tenti, "Predictive Digital Control of Power Factor Preregulators With Input Voltage Estimation Using Disturbance Observers", IEEE Trans. on Power Electron., Vol. 20, No. 1, pp. 140-147, Jan. 2005.

[6] A. Prodic, J. Chen, D. Maksimovic, R. W. Erickson, "Self-tuning digitally controlled low-harmonic rectifier having fast dynamic response", IEEE Trans. on Power Electron., Vol. 28, No. 1, pp. 420-428, Jan. 2003.

[7] A. de Castro, P. Zumel, O. García, T. Riesgo, J. Uceda, "Concurrent and Simple Digital Controller of an AC/DC Converter with Power Factor Correction based on an FPGA", IEEE Trans. on Power Electron., Vol. 18, No. 1, pp. 334-343, Ene. 2003.

[8] K. M. Smedley and S. Cuk, "One-Cycle control of switching converters", IEEE Trans. Power Electron., 1995, vol.10, no. 6, pp. 625-633

[9] F. J. Diaz, F. J. Azcondo, A. de Castro, C. Brañas "Controlador Corrector de Factor de Potencia basado en técnicas de estimación de la corriente implementado en FPGA", SAAEI'09. Cartagena, España.

[10] Camilo Quintáns Graña, "Estructuras avanzadas de convertidores analógico-digital: metodologías de diseño, simulación y enseñanza", Tesis Doctoral. Universidad Nacional de Educación a Distancia, Madrid, 2008.

[11] Electromagnetic compatibility (EMC), Part 3-2: Limits: "Limits for harmonic current emissions (equipment input current  $\leq 16A$  per phase)".